

*В основе этого материала книга сотрудника нашей компании Блохина С.М. по шине ISA, изданная ПК"Сплайн" в 1992 году.*

### Содержание:

#### 1. Введение

##### 1.1. Виды устройств, работающие на шине ISA

#### 2. Характеристики задатчиков на шине

##### 2.1. Центральный процессор

##### 2.2. Контроллер ПДП

##### 2.3. Внешняя плата

##### 2.4. Режимы прямого доступа к памяти или к устройствам ввода/вывода

##### 2.5. Режим сброса

##### 2.6. Контроллер регенерации памяти

#### 3. Общее описание шины ISA

##### 3.1. Адресное пространство при обращении к памяти

##### 3.2. Адресное пространство для устройств ввода/вывода

##### 3.3. Структура прерываний

##### 3.4. Перестановщик байтов

#### 4. Описание сигналов на шине ISA

##### 4.1. Сигналы адреса

##### 4.2. Командные сигналы

##### 4.3. Центральные сигналы управления

##### 4.4. Сигналы прерывания

##### 4.5. Сигналы режима ПДП

##### 4.6. Питание

#### 5. Циклы шины

##### 5.1. Цикл Доступа к Ресурсу

###### 5.1.1. Цикл Доступа к Ресурсу - 0 тактов ожидания

###### 5.1.2. Цикл Доступа к Ресурсу - Нормальный цикл

##### 5.2. Цикл Регенерации - Введение

###### 5.1.3. Цикл Доступа к Ресурсу - Удлиненный цикл

###### 5.2.1. Цикл Регенерации - Нормальный цикл

###### 5.2.2. Цикл Регенерации - Удлиненный цикл

##### 5.3. Цикл ПДП

###### 5.3.1. Цикл ПДП - Нормальный цикл

###### 5.3.2. Цикл ПДП - Удлиненный цикл

##### 5.4. Цикл Захвата Шины

#### 6. Временные диаграммы шины ISA

#### 7. Характеристики соединителей на шине

##### 7.1. Назначение выводов соединителей, устанавливаемых в слоты

##### 7.2. Электрические характеристики сигналов

##### 7.4. Дополнительные требования к приемникам и передатчикам на внешних платах

##### 7.5. Нагрузочные резисторы на шине

##### 7.6. Механические характеристики внешней платы

#### 1. Введение

Шина **ISA** (Industrial **S**tandard **A**rchitecture) является фактически стандартной шиной для персональных компьютеров типа IBM PC/AT и совместимых с ними. Шина **EISA**, с которой ряд фирм выпускал персональные компьютеры, уступила шине **PCI** и в настоящее время используется редко..

Основные отличия шины ISA персонального компьютера IBM PC/AT от своей предшественницы - шины компьютера IBM PC/XT заключаются в следующем:

- шина AT компьютеров позволяет использовать на внешних платах как 16-разрядные устройства ввода/вывода, так и 16-разрядную память;
- цикл доступа к 16-разрядной памяти на внешней плате может быть выполнен без вставки тактов ожидания;
- объем непосредственно адресуемой памяти на внешних платах может достигать 16 Мб;
- внешняя плата может становиться хозяином (задатчиком) на шине и самостоятельно

осуществлять доступ ко всем ресурсам как на шине, так и на материнской плате.

### 1.1. Виды устройств, работающие на шине ISA

При описании шины целесообразно представить компьютер как состоящий из материнской платы (motherboard) и внешних плат, которые взаимодействуют между собой и ресурсами материнской платы через шину. Все пассивные устройства (не могущие стать задачками) на шине можно разделить на две группы - память и устройства ввода/вывода (порты). Циклы доступа для каждой из групп отличаются друг от друга как по временным характеристикам, так и по вырабатываемым на шине сигналам.

Чисто условно, для удобства понимания функционирования шины **ISA**, будем считать, что на материнской плате компьютера существуют следующие устройства, способные быть владельцами (задатчиками) шины: центральный процессор (ЦП), контроллер прямого доступа в память (ПДП), контроллер регенерации памяти (КРП). Кроме этого, задатчиком на шине может быть и внешняя плата. При выполнении цикла доступа на шине задатчиком может быть только одно из устройств. Рассмотрим подробнее функции этих устройств на шине **ISA**.

**Центральный процессор (ЦП)** - является основным задатчиком на шине. По умолчанию именно ЦП будет считаться задатчиком на шине. Контроллер ПДП, а также контроллер регенерации памяти запрещают работу ЦП на время своей работы.

**Контроллер ПДП** - это устройство связано с сигналами запроса на режим ПДП и сигналами подтверждения режима ПДП. Активный сигнал запроса на ПДП будет разрешать последующий захват шины контроллером ПДП для передачи данных из памяти в порты вывода или из портов ввода в память.

**Контроллер регенерации памяти** - становится владельцем шины и генерирует сигналы адреса и чтения памяти для регенерации информации в микросхемах динамической памяти как на материнской памяти, так и внешних платах.

**Внешняя плата** - взаимодействует с остальными устройствами через разъем на шине ISA. Может становиться задатчиком на шине для доступа к памяти или устройствам ввода/вывода.

Кроме этого, на материнской плате компьютера имеется ряд устройств, которые не могут быть задатчиками на шине, но тем не менее взаимодействуют с ней. Это следующие устройства:

**Часы реального времени (Таймер-счетчик)** - это устройство состоит из часов реального времени для поддержки даты и времени и таймера, как правило на базе микросхемы Intel 8254A. Один из таймеров-счетчиков этой микросхемы вырабатывает импульсы с периодом 15 микросекунд для запуска контроллера регенерации памяти на регенерацию.

**Кросс материнской платы** - часть материнской платы, которая соединяет разъемы шины **ISA** для подключения внешних плат с другими ресурсами на материнской плате.

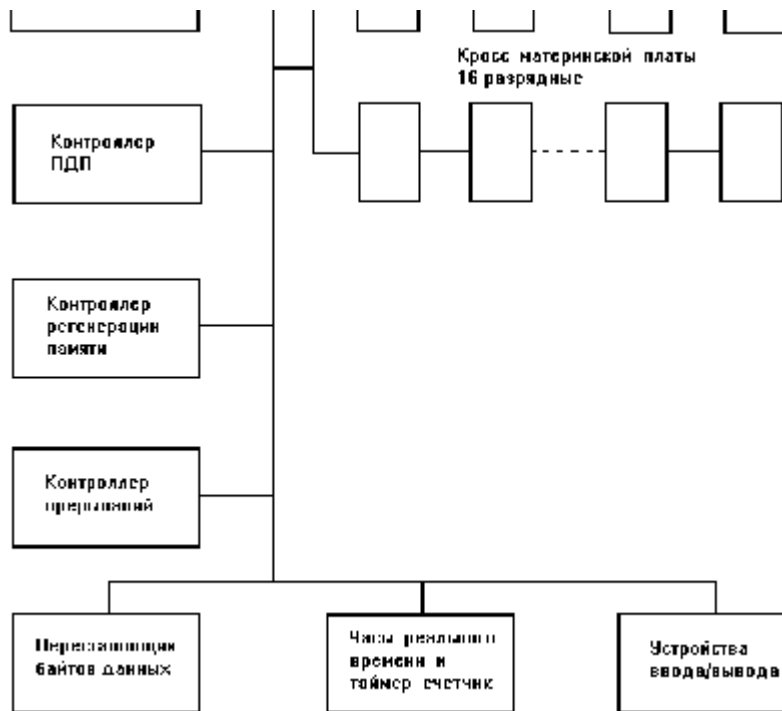
**Память на материнской плате** - часть или все микросхемы памяти прямого доступа (ОЗУ), используемые для хранения информации ЦП. На внешних платах также могут быть размещены микросхемы дополнительной памяти.

**Контроллер прерываний** - это устройство связано с линиями запросов прерываний на шине. Прерывания требуют дальнейшего обслуживания ЦП.

**Устройства ввода/вывода** - часть или все устройства ввода/вывода (такие как параллельные или последовательные порты) могут размещаться как на материнской плате, так и на внешних платах.

**Перестановщик байтов данных** - это устройство позволяет обмениваться данными между собой 16-разрядными и 8-разрядными устройствами.





Внешние платы, устанавливаемые в разъемы шины, могут быть 8- и/или 16-разрядными. 8-разрядная плата имеет только один интерфейсный разъем и может оперировать только с 8-разрядными данными. 8-разрядный слот также не может быть задатчиком на шине. 16-разрядная плата обязательно имеет два интерфейсных разъема - один основной, такой же как в 8-разрядных платах, и один дополнительный. Такая плата может оперировать как с 8-, так и с 16-разрядными данными и, кроме этого, она может быть

здатчиком на шине. Общее число устанавливаемых в разъемы шины плат ограничивается как нагрузочной способностью шины, так и конструктивным исполнением материнской платы. Как правило, допускается устанавливать не более 8 (пять 16-разрядных и три 8-разрядных) внешних плат на шину. Такое ограничение вызвано также и относительно небольшим количеством свободных линий запросов на ПДП и запросов на прерывания, имеющихся на шине.

## 2. Характеристики задатчиков на шине

### 2.1. Центральный процессор

Центральный процессор по умолчанию является основным владельцем шины, контроллер ПДП и контроллер регенерации памяти могут стать задатчиками на шине, только предварительно запретив работу ЦП. Процесс запрещения работы ЦП состоит в выработке сигнала запроса на ПДП и приема сигнала подтверждения ПДП.

Центральный процессор может быть источником как 16-разрядных операций, так и 32-разрядных. Когда ЦП является 16-разрядным ресурсом, он может выполнять операции как с 16-, так и с 8-разрядными ресурсами на шине. При выполнении ЦП команды, оперирующей с 16-разрядными данными, если ресурс доступа 8-разрядный, то специальными аппаратными средствами на материнской плате в этом случае выполняются два цикла доступа. Если же ЦП является 32-разрядным, то аппаратно на материнской плате компьютера один 32-разрядный цикл работы ЦП с внешним ресурсом должен быть преобразован в два индивидуальных 16-разрядных цикла доступа.

**Особенности для внешних плат.** Если ЦП является задатчиком на шине, то внешние платы могут функционировать только в режиме памяти или устройства ввода/вывода.

### 2.2. Контроллер ПДП

Сигналы для поддержки ПДП заводятся с разъема непосредственно на контроллер ПДП, выполненный, как правило, на микросхеме Intel 8237A. Когда режим ПДП запрашивается каким-либо устройством (хотя бы один из сигналов **DRQ** становится активным), контроллер ПДП осуществляет захват шины у ЦП. Выдача затем соответствующего сигнала **-DACK** означает, что контроллер ПДП начал передачу данных. Циклы ПДП не будут выполняться на шине, если сигнал **MASTER** будет разрешен с какой-либо внешней платы.

Если запрос на ПДП требуется устройству ввода/вывода, то следует учесть, что каналы 0...3 ПДП поддерживают передачу только 8-разрядных данных; все данные должны передаваться только по линиям **SD<7...0>**. Перестановка байтов в этом случае выполняется аппаратно на материнской плате в соответствии с сигналами SA0 и **-SBHE**. Такая перестановка может потребоваться, например, при передаче данных из старшего байта 16-разрядной памяти в 8-разрядный порт. Каналы ПДП 5...7 поддерживают передачу только 16-разрядных данных; все данные должны

передаваться как 16-разрядные по линиям **SD<15...0>**. Память, участвующая в работе в режиме ПДП по этим каналам, должна быть только 16-разрядной. Перестановщик байтов на материнской плате не будет корректировать несоответствие размеров данных.

ПРИМЕЧАНИЕ: 8-разрядная память со своей стороны может передавать данные в режиме ПДП только 8-разрядным устройствам ввода/вывода; использование 8-разрядной памяти с 16-разрядными устройствами ввода/вывода не допускается.

ВНИМАНИЕ! Контроллер регенерации памяти не может захватить шину до тех пор, пока контроллер ПДП ей владеет. Это означает, что любой цикл ПДП не должен превышать 15 мкс. В противном случае может произойти потеря информации в микросхемах динамической памяти.

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Сигналы запроса и подтверждения режима ПДП заведены на все внешние платы и эти сигналы вырабатываются обычными ТТЛ выходами, поэтому все внешние платы должны использовать и анализировать различные каналы ПДП. В противном случае возможен конфликт внешних слотов между собой или с устройствами на материнской плате.

Внешние слоты могут быть или памятью прямого доступа или устройством ввода/вывода, когда они взаимодействуют с контроллером ПДП.

### 2.3. Внешняя плата

Внешние платы могут функционировать в 5 различных режимах: задатчика шины, памяти и устройств ввода/вывода прямого доступа, памяти и устройств ввода/вывода, регенерации памяти или сброса. Платы могут поддерживать любую комбинацию из первых четырех режимов; сигналу сброса должны подчиниться все платы одновременно.

Только 16-разрядные платы с двумя интерфейсными разъемами могут становиться **здатчиками на шине**. Для захвата шины внешняя плата должна разрешить сигнал **-DRQ** и, получив сигнал **-DACK** от контроллера ПДП, разрешить сигнал **-MASTER**. На этом процедура захвата шины заканчивается.

Внешняя плата, захватив шину, может выполнять любые циклы доступа, так же как центральный процессор. Единственное ограничение - невозможность выполнять циклы ПДП, так как все интерфейсные сигналы, управляющие работой контроллера ПДП, заведены на материнскую плату и не могут быть использованы контроллером ПДП, находящимся на внешней плате. Когда внешняя плата является задатчиком на шине, контроллер ПДП запрещает сигнал **AEN** и это позволяет устройствам ввода/вывода нормально дешифровать адрес и быть доступными для внешней платы. При запрещенном сигнале **AEN** циклы передачи ПДП невозможны (подробнее в разделе описания сигнала **AEN**, в гл. 3). Кроме этого, циклы ПДП не могут быть выполнены на шине также и потому, что у контроллера ПДП канал, через который был осуществлен захват шины, занят, а другие каналы контроллера ПДП не могут быть использованы до освобождения ранее занятого, т.е. до освобождения шины захватившей ее внешней платой.

ПРИМЕЧАНИЕ: Программное обеспечение, поддерживающее работу внешней платы в качестве задатчика шины, должно обеспечивать использование каналов ПДП только в режиме каскадирования. В противном случае внешняя плата не сможет осуществить захват шины.

ПРИМЕЧАНИЕ: Внешняя плата начинает любой цикл доступа как 16-разрядная, однако если сигнал **-MEM CS16** или **-I/O CS16** не будет разрешен, цикл будет завершен как 8-разрядный. При этом перестановщик байтов на материнской плате будет определять, по каким линиям данных (**SD<15...8>** или **SD<8...0>**) передается байт информации, исходя из анализа сигналов **-SBHE** и **SA0**.

ВНИМАНИЕ! Захватившая шину внешняя плата обязана не реже, чем через 15 мкс, вырабатывать сигнал **-REFRESH** для запроса контроллеру регенерации на регенерацию памяти. Контроллер регенерации при выполнении цикла регенерации памяти вырабатывает сигналы адреса, команд и анализирует сигнал **I/O CH RDY**, но внешняя плата, выработавшая сигнал **-REFRESH**, по завершении цикла регенерации снимает этот сигнал и продолжает оставаться задатчиком на шине. При необходимости выполнить несколько циклов регенерации сигнал **-REFRESH** может быть удержан внешней платой на все время требуемого количества циклов регенерации.

Контроллер регенерации памяти не может захватить шину сам до тех пор, пока контроллер ПДП (а именно через него внешняя плата становится задатчиком на шине) не освободит ее на время регенерации по сигналу **-REFRESH**.

## 2.4. Режимы прямого доступа к памяти или к устройствам ввода/вывода

Внешняя плата может работать в режиме ПДП только в том случае, если контроллер ПДП является задатчиком на шине. В режиме прямого доступа к памяти данные всегда передаются между устройством ввода/вывода и памятью на внешней плате. В режиме прямого доступа к устройству ввода/вывода данные передаются между памятью и устройством ввода/вывода на внешней плате. Внешняя плата, отвечающая на шине как 8- или 16-разрядное устройство, должна соответственно использовать 8- или 16- разрядные каналы контроллера ПДП. В табл. 2.2 показано состояние сигналов на шине для режима ПДП.

**ВНИМАНИЕ!** Следует специально обратить внимание на некоторые особенности при выполнении циклов передачи данных между 8-разрядными устройствами ввода/вывода и 16-разрядной памятью на внешней плате. Во-первых, внешняя плата должна анализировать сигналы **-SBHE** и **SA0** для правильного определения передаваемых данных.

Во-вторых, при записи в УВВ из памяти на внешней плате перестановщик байтов на материнской плате будет определять, по какой половине шины данных (**SD<15...8>** или **SD<7...0>**) следует направить байт; внешняя плата после анализа **-SBHE** и **SA0** должна определить, по какой половине шины данных ей направить байт данных. В-третьих, при чтении УВВ в память на внешней плате перестановщик байтов направляет в память байт данных также либо по старшей половине шины данных **SD<15...8>**, либо по младшей половине **SD<7...0>**. Внешняя плата по сигналам **-SBHE** и **SA0** должна определять, когда следует переводить в третье состояние свои выходы по младшей половине шины данных **SD<7...0>** во избежание столкновений на шине.

Внешняя плата может как 16-разрядная память обмениваться в режиме ПДП как с 8-ми разрядными устройствами ввода/вывода, так и с 16-разрядными. Но, если внешняя плата является 8-разрядной памятью, то в режиме ПДП она может обмениваться данными только с 8-разрядными устройствами ввода/вывода. Другая особенность относится к тому случаю, когда контроллер ПДП выполняет запись данных в 8- разрядное устройство вывода на внешней плате из 16-разрядной памяти. Если такая внешняя плата установлена в 16-разрядный слот и может работать в 16-разрядном режиме, она должна для такого случая поддерживать старшую половину шины данных **SD<15...8>** в третьем состоянии во избежание столкновения сигналов на шине.

**ВНИМАНИЕ!** Когда контроллер ПДП является задатчиком на шине, он игнорирует сигнал **-OWS**, поэтому если внешняя плата используется как 16-разрядная память и обмен с ней выполняется контроллером ПДП, применение быстрых микросхем памяти в такой плате лишено смысла.

**Обычный доступ к внешней плате как к памяти или устройству ввода/вывода.** Внешняя плата становится обычным ресурсом памяти или ввода/вывода, если задатчиком на шине является центральный процессор или другая внешняя плата.

**ВНИМАНИЕ!** Существуют особенности такого использования внешней платы, если она устанавливается в [8/16] слот, а участвует в обмене данными как 8-разрядная память или УВВ в течении всего цикла доступа. При чтении данных в такую внешнюю плату перестановщик байтов будет переставлять данные между шинами **SD<15...8>** или **SD<7...0>** для правильного приема данных внешней платой. Внешняя плата при этом должна поддерживать свои выходы **SD<15...8>** в третьем состоянии, так как иначе неизбежно столкновение сигналов на шине данных.

**ВНИМАНИЕ!** Когда некоторые внешние платы становятся задатчиками на шине, они могут игнорировать сигнал **I/O CH RDY** или **-OWS** и выполнять цикл доступа как цикл обращения к 8- или 16-разрядной памяти. Но любые внешние платы обязаны возвращать задатчику на шине **ISA** эти сигналы при необходимости, так как если центральный процессор является задатчиком на шине, то он использует эти сигналы для определения продолжительности цикла доступа.

## 2.5. Режим сброса

Все внешние платы оказываются в режиме сброса при разрешенном сигнале **RESET DRV**; иначе этот режим невозможен. Все выходы с тремя состояниями на плате должны быть в третьем состоянии и все выходы с открытым коллектором должны быть в состоянии логической единицы на время не менее 500 нс после разрешения сигнала **RESET DRV**. Все внешние платы должны завершить свою инициализацию за время не более 1 мс после разрешения сигнала **RESET DRV** и быть готовыми к выполнению циклов доступа на шине. Любые операции на шине возможны только после запрещения сигнала **RESET DRV**.

## 2.6. Контроллер регенерации памяти

Контроллер регенерации памяти выполняет циклы чтения памяти по специальным адресам на материнской плате и внешних платах для регенерации информации в микросхемах динамической памяти. Каждые 15 мкс контроллер пытается овладеть шиной для запуска цикла регенерации. Если в этот момент задатчиком на шине является центральный процессор, то он освобождает шину для контроллера регенерации. Если в этот момент шина захвачена внешней платой, то контроллер регенерации выполнит цикл регенерации только при выработке внешней платой сигнала **-REFRESH**. Если в этот момент задатчиком на шине являлся контроллер ПДП, то до освобождения им шины цикл регенерации не может быть выполнен.

Когда выполняется цикл регенерации, контроллер регенерации вырабатывает сигналы адреса SA<7...0> с одним из 256 возможных адресов регенерации. Другие адресные линии неопределены и могут находиться в третьем состоянии. Этот цикл может выполняться с задержкой по сигналу I/O CH RDY с разрешенными сигналами **-SMEMR** и **-MEMR**.

**ВНИМАНИЕ!** Циклы регенерации должны выполняться каждые 15 мкс для перебора всех 256 адресов за 4 мс. Если это условие не выполняется, данные, хранящиеся в динамической памяти, могут быть утеряны.

### 3. Общее описание шины ISA

В данной главе рассматриваются характеристики шины, не зависящие от типа устройства, захватившего шину.

#### 3.1. Адресное пространство при обращении к памяти

Максимальное адресное пространство при обращении к памяти, поддерживаемое шиной **ISA**, 16 Мб (24 линии адреса), но не все слоты поддерживают полностью это адресное пространство. Когда задатчик на шине осуществляет доступ к памяти на материнской плате или к памяти, установленной в слот, он должен разрешать сигналы **-MEMR** или **-MEMW**; аппаратно на материнской плате дополнительно разрешаются сигналы **-SMEMR** и **-SMEMW**, если требуемый адрес находится в пределах первого мегабайта адресного пространства. К 8-разрядным слотам подведены только линии **-SMEMR** и **-SMEMR, SD<7...0>** и **SA<19...0>**; поэтому внешние платы, установленные в 8-разрядные слоты, могут быть либо только 8-разрядными устройствами ввода/вывода, либо 8-ми разрядной памятью в первом мегабайте адресного пространства. Внешние платы, устанавливаемые в 8/16-разрядные слоты, принимают все командные сигналы, адреса и данные; они могут быть как 8-, так и 16-разрядными и адресное пространство памяти на них может быть любым в пределах 16 Мб. Цикл доступа к таким внешним платам завершается как 16-разрядный, если плата разрешает сигнал **-I/O CS16** или **-MEM CS16**.

**ПРИМЕЧАНИЕ:** Память на материнской плате или внешней плате считается 16-разрядным ресурсом только в том случае, если разрешается сигнал **-MEM CS16**. Этот сигнал вырабатывается из сигналов адреса **LA<23...17>**; поэтому 16-разрядная память может быть выбрана только блоками по 128 Кб; внутри такого блока память не может быть частично 8-разрядной, а частично 16-разрядной, так как невозможно по обращению к меньшему блоку однозначно выработать сигнал **-MEM CS16**. Разрядность внутри такого блока должна быть одинаковой при обращении по любому адресу внутри 128 Кб.

**ВНИМАНИЕ!** Микросхемы динамической памяти требуют циклов регенерации через каждые 15 мкс. Если циклы регенерации выполняются реже, чем через 15 мкс, то данные в памяти могут быть потеряны.

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Динамическая память на материнской плате может иметь два вида своей организации - 16- или 32-разрядная. Но разрядность памяти на материнской плате принимается во внимание только центральным процессором, для внешних плат динамическая память на материнской плате всегда только 16-разрядная. ПЗУ на материнской плате, содержащее BIOS (Base Input/Output System - Базовая Система Ввода/Вывода), также всегда 16-разрядное.

#### 3.2. Адресное пространство для устройств ввода/вывода

Максимально адресное пространство для устройств ввода/вывода, поддерживаемое шиной **ISA** составляет 64 Кб (16 адресных линий). Все слоты поддерживают 16 адресных линий. Первые 256 адресов зарезервированы для устройств, расположенных, как правило, на материнской плате - регистры контроллера ПДП, контроллера прерываний, часов реального времени, таймера-счетчика и других устройств, требующихся для АТ совместимости различных компьютеров.

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Несмотря на то, что для выбора адреса УВВ доступны все 16 сигналов адреса, традиционно для адресов УВВ в компьютерах серии IBM PC/XT/AT использовались только первые 10 разрядов адреса. Это означает, что адреса из следующих килобайтных блоков будут декодироваться также как адреса в первом килобайте адресов УВВ. Поэтому для вновь разрабатываемых внешних плат следует использовать "окна" в существующем сейчас распределении адресов стандартных УВВ для компьютеров IBM PC/AT. Для увеличения количества используемых адресов УВВ (при необходимости) можно использовать адресное пространство выбранного окна со сдвигом на 1 Кб или кратное ему значение. Очевидно, что внешняя плата в этом случае должна декодировать более чем 10 линий адреса.

### 3.3. Структура прерываний

Линии запроса на прерывания непосредственно заведены на контроллеры прерываний типа Intel 8259A. Контроллер прерываний будет реагировать на запрос по такой линии в случае, если сигнал на ней перейдет из низкого уровня в высокий. Шина ISA не имеет линий, подтверждающих прием запроса на прерывание, поэтому запрашивающее прерывание устройство должно само определять по реакции ЦП подтверждение приема своего запроса.

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Линии запроса на прерывания заведены на все слоты и обрабатываются контроллером прерывания по нарастающему фронту сигнала. До установки новой внешней платы, если она использует в своей работе контроллер прерываний, следует определить, есть ли свободная линия запроса на прерывание и именно ее использовать для новой внешней платы. При не соблюдении этого условия возможно возникновение конфликтных ситуаций на шине.

### 3.4. Перестановщик байтов

Центральный процессор или внешняя плата могут выполнить как 8- так и 16-разрядные циклы доступа, причем все циклы всегда начинаются как 16-разрядные, а завершаются как 8- или 16-разрядные. Цикл доступа будет завершен как 8-разрядный, если устройство, к которому осуществляется доступ, запретит сигнал **-I/O CS16** или **-MEM CS16**.



между задатчиком и ресурсом, к которому осуществляется доступ. В табл. 3.1 суммируется вся информация по перестановке байтов во время циклов доступа. Перестановка байтов осуществляется с шины **SD<15...0>** (HIGH BYTE - старший байт) на **SD<7...0>** (LOW BYTE - младший байт) или наоборот. В таблице перенос байта с шины **SD<15...0>** на **SD<7...0>** обозначается как **H > L**, наоборот - **L < H**. **LL** означает, что байт по младшей половине шины данных не переставляется, **HH** - что байт по старшей половине шины не переставляется. **HH/LL** - и старший и младший байт передаются каждый по своей половине шины данных и не переставляются.

Таблица 3.1.

Задатчик на шине			Ресурс, к которому осуществляется доступ		Завершение цикла		
Размер данных	<b>-SBHE</b>	<b>SA0</b>	Размер данных	<b>CS16</b>	Размер данных	Маршрут чтение запись	
8	1	0	8	1	8	LL	LL

	0	1	8	1	8	H<L	H>L
	1	0	16	0	8	LL	LL
	0	1	16	0	8	HH	HH
16	0	0	8	1	8	LL	LL
	0	0	16	0	16	HH/LL	HH/LL

На рис. 3.2 показано место перестановщика байтов для циклов пересылки данных в режиме ПДП. В табл. 3.2 суммируется вся информация по перестановке байтов во время циклов ПДП. Перестановка байтов осуществляется с шины **SD<15...0>** (HIGH BYTE) на **SD<7...0>** (LOW BYTE) или наоборот. В таблице перенос байта с шины **SD<15...0>** на **SD<7...0>** обозначается как H > L, наоборот - L < H. LL означает, что байт по младшей половине шины данных не переставляется, HH - что байт по старшей половине шины не переставляется. HH/LL - и старший и младший байт передаются каждый по своей половине шины данных и не переставляются.

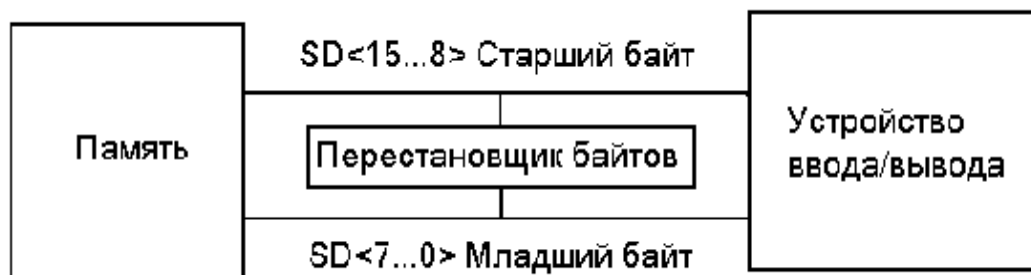


Таблица 3.2.

Устройство ввода/вывода	Контроллер ПДП		Память		Завершение цикла		
	Размер данных	-SBHE	SA0 -	Размер данных	-MEM CS16	Размер данных	Маршрут
	8	1	0	8	1	8	LL LL
		1	0	16	0	8	LL LL
		X	1	8	1	8	LL LL
		X	1	16	0	8	H>L H<L
16		0	0	8	1	8	Запрещено
		0	0	16	0	16	HH/LL HH/LL

#### 4. Описание сигналов на шине ISA

В этой главе описываются все сигналы на шине ISA. Для лучшего понимания функционирования шины целесообразно разбить все сигналы на 7 групп: АДРЕСА, ДАННЫЕ, СИНХРОСИГНАЛЫ, КОМАНДНЫЕ СИГНАЛЫ, СИГНАЛЫ РЕЖИМА ПДП, ЦЕНТРАЛЬНЫЕ СИГНАЛЫ УПРАВЛЕНИЯ, СИГНАЛЫ ПРЕРЫВАНИЯ, ПИТАНИЕ. Информация о направленности сигналов (вход, выход или двунаправленный) приводится относительно задатчика на шине.

##### 4.1. Сигналы адреса

Группа сигналов адреса включает в себя адреса, вырабатываемые текущим задатчиком на шине. На шине ISA есть два вида сигналов адреса, **SA<19...0>** и **LA<23...17>**.

##### **SA<19...0>** [8] [8/16]

Адресные сигналы этого типа поступают на шину с регистров адреса, в которых адрес "защелкивается". Сигналы **SA<19...0>** позволяют осуществлять доступ к памяти только в младшем



мегабайте адресного пространства. При доступе к устройству ввода/вывода только сигналы **SA<15...0>** имеют действительное значение, а состояние сигналов **SA<19...16>** не определено.

Во время выполнения циклов регенерации адреса только сигналы **SA<7...0>** имеют действительное значение, а состояние сигналов **SA<19...8>** неопределено и эти выходы должны быть в третьем состоянии для всех устройств на шине.

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Внешняя плата, ставшая задатчиком на шине, должна разрешать сигнал **-REFRESH** для регенерации памяти, при этом внешняя плата должна перевести свои выходные формирователи сигналов адреса в третье состояние.

#### **LA<23...17>** [8/16]

Сигналы этого типа поступают на шину без "защелкивания" в регистрах. Когда центральный процессор является задатчиком на шине, то значения сигналов на линиях **LA<23...17>** истинны во время выработки сигнала **BALE** и они могут иметь произвольное значение в конце цикла доступа. Если задатчиком на шине является контроллер ПДП, сигналы **LA<23...17>** истинны до начала сигнала **-MEMR** или **-MEMW** и сохраняются до конца цикла. При выполнении циклов доступа к памяти сигналы **LA<23...17>** всегда истинны, а при доступе к устройствам ввода/вывода эти сигналы имеют уровень логического "0".

При выполнении циклов регенерации состояние линий **LA<23...17>** неопределено и все ресурсы на шине должны поддерживать свои выходы по этим линиям в третьем состоянии.

РЕКОМЕНДАЦИИ: Для "защелкивания" сигналов **LA** следует использовать только регистры с потенциальным входом. Это вызвано тем, что в этом случае новый истинный адрес появится на выходе регистра по началу сигнала **BALE** (а не по его заднему фронту) и, кроме этого, во время циклов доступа к памяти каким-либо другим задатчиком, а не ЦП, сигнал **BALE** поддерживается в состоянии логической "1" и регистр с потенциальным входом станет просто повторителем сигналов **LA** (что и требуется в таком случае).

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата является задатчиком на шине, то сигналы **LA<23...17>** должны быть истинны до начала сигнала **-MEMR** или **-MEMW** и сохраняться таковыми до завершения цикла. Если внешняя плата разрешает сигнал **-REFRESH** (следует помнить, что внешняя плата может это сделать, только будучи задатчиком на шине), то вырабатывать сигналы адреса будет контроллер регенерации, поэтому внешней плате следует перевести свои адресные выходы в третье состояние.

#### **-SBHE**

Сигнал **-SBHE** (System Bus High Enable - Разрешение старшего байта на системной шине) разрешается центральным процессором для указания всем ресурсам на магистрали о том, что по линиям **SD<15...8>** пересылается байт данных. Сигналы **-SBHE** и **SA0** используются для определения того, какой байт и по какой половине шины данных пересылается (в соответствии с табл. 3.1).

Сигнал **-SBHE** не вырабатывается контроллером регенерации при захвате им шины, так как никаких перестановок байтов нет и нет реального чтения данных.

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата становится задатчиком на шине, то она должна вырабатывать сигнал **-SBHE** так же как центральный процессор.

Если внешняя плата, являющаяся задатчиком на шине, вырабатывает сигнал **-REFRESH**, то ее выход сигнала **-SBHE** должен быть переведен в третье состояние.

#### **BALE** [8] [8/16]

Сигнал **BALE** (Bus Address Latch Enable - Разрешение на "защелкивание" адреса на шине)

является стробом для записи адреса по линиям **LA<23...17>** и сообщает ресурсам на шине, что адрес является истинным и его можно "защелкнуть" в регистре. Этот сигнал также информирует ресурсы на шине о том, что сигналы **SA<19...0>** и **-SBHE** истинны.

При захвате шины контроллером ПДП сигнал **BALE** всегда равен логической "1" (вырабатывается на материнской плате), так как сигналы **LA<23...17>** и **SA<19...0>** истинны до выработки командных сигналов. Если контроллер регенерации становится задатчиком на шине, то на линии **BALE** также поддерживается уровень логической единицы, поскольку сигналы адреса **SA<19...0>** истинны до начала командных сигналов.

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

При захвате шины внешней платой сигнал **BALE** поддерживается материнской платой в состоянии логической "1" на все время захвата шины. Адресные сигналы **LA<23...17>** и **SA<19...0>** должны быть при этом истинны в течении времени разрешения платой командных сигналов.

Если центральный процессор является задатчиком на шине и выполняет цикл доступа к ресурсу на внешней плате, то сигналы **LA<23...17>** истинны только в течении короткого времени, поэтому сигнал **BALE** должен быть использован для "защелкивания" адреса в регистре. При захвате шины любым устройством, кроме ЦП, на линии **BALE** поддерживается уровень логической "1".

#### **AEN** [8] [8/16]

Сигнал **AEN** (Address Enable - Разрешение адреса) разрешается тогда, когда контроллер ПДП становится задатчиком на шине и сообщает всем ресурсам на шине о том, что на шине выполняются циклы ПДП. Разрешенный сигнал **AEN** также информирует все устройства ввода/вывода о том, что контроллер ПДП установил адрес памяти и **УВВ** следует запретить на время сигнала **AEN** декодирование адреса.

Этот сигнал запрещается, если задатчиком на шине является центральный процессор или контроллер регенерации.

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата, выполняя процедуру захвата шины, вырабатывает сигнал **-MASTER**, сигнал **AEN** запрещается контроллером ПДП для того, чтобы позволить внешней плате доступ к устройствам ввода/вывода.

#### **SD<7...0>** и **SD<15...8>**

Линии **SD<7...0>** и **SD<15...8>**, как правило, еще называют шиной данных, причем по линии **SD15** передается старший значащий бит, а по линии **SD0** - младший значащий бит. Линии **SD<7...0>** - младшая половина шины данных, **SD<15...8>** - старшая половина шины данных. Все 8-ми разрядные ресурсы могут обмениваться данными только по младшей половине шины данных. Поддержка обмена данными между 16-ти разрядным задатчиком на шине и 8-ми разрядным ресурсом осуществляется перестановщиком байтов на материнской плате (табл. 3.1 и рис. 3.1 иллюстрирует его работу).

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если сигнал **- REFRESH** разрешен, то внешние платы должны перевести свои выходы по шине данных в третье состояние, так как нет пересылок данных во время циклов регенерации памяти.

#### **4.2. Командные сигналы**

Сигналы этой группы управляют как продолжительностью, так и типами циклов доступа, выполняемых на шине. Группа состоит из шести командных сигналов, двух сигналов готовности и трех сигналов, которые определяют размеры и тип цикла.

Командные сигналы определяют вид устройства (память или **УВВ**) и направление пересылки (запись или чтение).

Сигналы готовности управляют продолжительностью цикла доступа, укорачивая его или, наоборот, удлиняя.

#### **-MEMR [8/16] и -SMEMR [8] [8/16]**

Сигнал **-MEMR** (Memory Read - Чтение памяти) разрешается задатчиком на шине для чтения данных из памяти по адресу, определяемому сигналами по линиям **LA<23...17>** и **SA<19...0>**. Сигнал **-SMEMR** (System Memory Read - Системное чтение памяти) функционально идентичен -MEMR, за исключением того, что сигнал **-SMEMR** разрешается при чтении памяти, находящейся в пределах первого мегабайта адресного пространства. Сигнал **-SMEMR** вырабатывается на материнской плате из сигнала **-MEMR** и, поэтому, задерживается относительно сигнала **-MEMR** на 10 или менее наносекунд.

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата становится задатчиком на шине, то она может разрешать только сигнал **-MEMR**, так как сигнал **-SMEMR** может разрешаться только материнской платой при чтении из памяти в первом мегабайте адресного пространства. Если внешняя плата разрешает сигнал **-REFRESH**, то она должна перевести свой выход по сигналу **-MEMR** в третье состояние, так после разрешения сигнала **-REFRESH** контроллер регенерации будет разрешать этот сигнал.

#### **-MEMW [8/16] и -SMEMW [8] [8/16]**

Сигнал **-MEMW** (Memory Write - Запись в память) разрешается задатчиком на шине для записи данных в память по адресу, определяемому сигналами по линиям **LA<23...17>** и **SA<19...0>**. Сигнал **-SMEMW** (System Memory Write - Системная запись в память) функционально идентичен -MEMW, за исключением того, что сигнал **-SMEMW** разрешается при записи в память, находящейся в пределах первого мегабайта адресного пространства. Сигнал **-SMEMW** вырабатывается на материнской плате из сигнала **-MEMW** и, поэтому, задерживается относительно сигнала **-MEMR** на 10 нс или менее.

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата становится задатчиком на шине, то она может разрешать только сигнал **-MEMW**, так как сигнал **-SMEMW** может разрешаться только материнской платой при записи в память в первом мегабайте адресного пространства. Если внешняя плата разрешает сигнал **-REFRESH**, то она должна перевести свой выход по сигналу **-MEMW** в третье состояние.

#### **-I/OR [8] [8/16]**

Сигнал **-I/OR** (I/O Read - Чтение устройства ввода/вывода) разрешается задатчиком на шине для чтения данных из устройства ввода/вывода по адресу, определяемому сигналами **SA<15...0>**.

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата разрешает сигнал **-REFRESH**, то она должна перевести свой выход по сигналу **-I/OR** в третье состояние.

#### **-I/OW [8] [8/16]**

Сигнал **-I/OW** (I/O Write - Запись в устройства ввода/вывода) разрешается задатчиком на шине для записи данных в устройство ввода/вывода по адресу, определяемому сигналами **SA<15...0>**.

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата разрешает сигнал **-REFRESH**, то она должна перевести свой выход по сигналу **-I/OW** в третье состояние.

#### **-MEM CS16**

Сигнал **-MEM CS16** (Memory Cycle Select - Выбор цикла для памяти) разрешается 16-разрядной памятью для сообщения задатчику шины о том, что память, к которой он обращается, имеет 16-

разрядную организацию и ему следует выполнить 16-разрядный цикл доступа. Если этот сигнал запрещен, то только 8-разрядный цикл доступа может быть выполнен на шине. Память, к которой выполняется цикл доступа, должна выработать этот сигнал из адресных сигналов **LA<23...17>**.

ПРИМЕЧАНИЕ: Контроллер ПДП и контроллер регенерации игнорируют сигнал

**-MEM CS16** при выполнении циклов ПДП и регенерации памяти.

РЕКОМЕНДАЦИИ: Декодировав сигналы **LA** на внешней плате 16-разрядной памяти, следует разрешить сигнал **-MEM CS16**, если установленный на шине адрес является адресом этой внешней платы. Так как этот сигнал фиксируется на материнской плате, как правило, по заднему фронту сигнала **BALE**, то схема дешифрации сигналов **LA** и последующего формирования **-MEM CS16** должна иметь минимально возможную задержку (для компьютеров с тактовой частотой ЦП 20 МГц не более 20 нс).

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата является 16-разрядной памятью, то она должна информировать об этом задатчика на шине, разрешив сигнал **-MEM CS16**.

Если внешняя плата, являясь задатчиком на шине, выработает сигналы адреса **SA<15...0>** и какое-либо устройство ввода/вывода случайно при декодировании этого адреса разрешит сигнал **-I/O CS16**, то внешняя плата должна игнорировать его в течении цикла доступа к памяти.

#### **-I/O CS16**

Сигнал **-I/O CS16** (I/O Cycle Select - Выбор цикла для УВВ) разрешается 16-разрядным УВВ для сообщения задатчику шины о том, что УВВ, к которому он обращается, имеет 16-разрядную организацию и ему следует выполнить 16-разрядный цикл доступа. Если этот сигнал запрещен, то только 8-разрядный цикл доступа к УВВ может быть выполнен на шине. УВВ, к которому выполняется цикл доступа, должна выработать этот сигнал из адресных сигналов **SA<15...0>**.

ПРИМЕЧАНИЕ: Контроллер ПДП и контроллер регенерации игнорируют сигнал **-I/O CS16** при выполнении циклов ПДП и регенерации памяти.

#### ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата является 16-разрядным УВВ, то она должна информировать об этом задатчика на шине, разрешив сигнал **-I/O CS16**.

Если внешняя плата, являясь задатчиком на шине, выработает сигналы адреса **LA<23...17>** и какое-либо устройство памяти случайно при декодировании этого адреса разрешит сигнал **-MEM CS16**, то внешняя плата должна игнорировать его в течении цикла доступа к УВВ.

#### **I/O CH RDY [8] [8/16]**

Сигнал **I/O CH RDY** (I/O Channel Ready - Готовность канала ввода/вывода) является асинхронным сигналом, вырабатываемый тем устройством, к которому осуществляется доступ на шине. Если этот сигнал запрещен, то цикл доступа удлиняется, так как в него будут добавлены такты ожидания на время запрещения. Когда задатчиком на шине является центральный процессор или внешняя плата, то каждый такт ожидания по длительности - половина периода частоты **SYSCLK** (для тактовой частоты **SYSCLK=8** МГц длительность такта ожидания - 62.5 нс). Если задатчиком на шине является контроллер ПДП, то каждый такт ожидания - один период **SYSCLK** (для **SYSCLK=8** МГц - 125 нс). При обращении к памяти на внешней плате ЦП всегда автоматически вставляет один такт ожидания (если сигнал **-OWS** запрещен), поэтому, если внешней плате достаточно времени цикла с одним тактом ожидания, то запрещать сигнал **I/O CH RDY** не требуется.

ПРИМЕЧАНИЕ: При выполнении циклов ПДП устройства ввода/вывода не должны вырабатывать этот сигнал, так как УВВ разрешает сигнал DRQ только после того, как истинные данные могут быть приняты или посланы УВВ и необходимости в дополнительном управлении длительностью цикла по сигналу **I/O CH RDY** нет. Только устройства памяти во время циклов ПДП могут разрешать этот сигнал.

ВНИМАНИЕ: Сигнал **I/O CH RDY** не может быть запрещен на время больше чем 15 мкс, так как при

нарушении этого требования возможна потеря данных в микросхемах динамической памяти.

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата является задатчиком на шине, то она должна принимать и анализировать сигнал **I/O CH RDY** при выполнении ей циклов доступа к другим ресурсам. При работе внешней платы в других режимах она должна разрешать этот сигнал в том случае, когда она готова завершить цикл.

**ВНИМАНИЕ!** К сожалению, некоторые внешние платы, став задатчиком на шине, игнорируют сигнал **I/O CH RDY** и выполняют все циклы доступа как обычные циклы доступа к 8- или 16-разрядной памяти. Поэтому, устанавливая в компьютер внешнюю плату, которая требует удлинения цикла доступа по сигналу **I/O CH RDY**, следует обязательно убедиться в отсутствии в компьютере такой некорректно разработанной внешней платы.

### **-OWS** [8] [8/16]

Сигнал **-OWS** (0 Wait States - 0 тактов ожидания) является единственным на всей шине сигналом, который требует при приеме его задатчиком на шине синхронизации с частотой **SYSClk**. Он разрешается ресурсом, к которому осуществляется доступ центральным процессором или внешней платой, и информирует задатчика на шине о том, что цикл доступа должен быть завершен без вставки такта ожидания.

**ПРИМЕЧАНИЕ:** Несмотря на то, что этот сигнал присоединен к слоту для 8-разрядных плат, он не может быть использован 8-разрядным ресурсом. Он может быть использован только при доступе к 16-разрядной памяти, установленной в [8/16] слот, когда центральный процессор или внешняя плата являются задатчиком на шине. Этот сигнал игнорируется при доступе к УВВ или когда контроллер ПДП или контроллер регенерации являются задатчиком на шине.

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата является задатчиком на шине, то она должна принимать сигнал **-OWS** от ресурсов, к которым она осуществляет доступ и выполнять циклы доступа с такими ресурсами без дополнительных тактов ожидания. Когда внешняя плата является 16-разрядной памятью, то она должна разрешать сигнал **-OWS**, если быстродействие этой памяти позволяет выполнять циклы доступа к ней без вставки дополнительного такта ожидания.

**ВНИМАНИЕ!** К сожалению, некоторые внешние платы, став задатчиком на шине, игнорируют сигнал **-OWS** и выполняют все циклы доступа как обычные циклы доступа к 8- или 16-разрядной памяти.

### **-REFRESH** [8] [8/16]

Сигнал **-REFRESH** (Refresh - регенерация) разрешается контроллером регенерации для информирования всех устройств на шине о том, что выполняются циклы регенерации памяти.

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если внешняя плата является задатчиком на шине, то она должна разрешать сигнал **-REFRESH** для запроса на регенерацию памяти. При этом цикл регенерации будет выполнен даже несмотря на то, что контроллер регенерации не является задатчиком на шине.

## 4.3. Центральные сигналы управления

Группа центральных сигналов управления состоит из сигналов различных частот, сигналов управления и ошибок.

### **-MASTER**

Сигнал **-MASTER** (Master - Ведущий) должен вырабатываться только той внешней платой, которая желает стать задатчиком на шине.

**ВНИМАНИЕ!** Если сигнал **-MASTER** разрешен на время более 15 мкс, то внешняя плата должна запросить цикл регенерации памяти, разрешив сигнал **-REFRESH**.

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Сигнал **-MASTER** разрешается внешней платой, становящейся задатчиком на шине, только после приема ей соответствующего сигнала **-DACK** от контроллера ПДП. После того, как сигнал **-MASTER** будет разрешен, внешняя плата должна ждать минимум один период частоты **SYSCLK**, прежде чем начать выработку сигналов адреса и данных и минимум два периода **SYSCLK** до выработки командных сигналов.

### **-I/O CH CK [8] [8/16]**

Сигнал **-I/O CH CK** (I/O Channel Check - Проверка Канала Ввода/вывода) может быть разрешен любым ресурсом на шине как сообщение о фатальной ошибке, которая не может быть исправлена. Типичный пример такой ошибки - ошибка четности при доступе к памяти. Сигнал **-I/O CH CK** должен быть разрешен на время не менее 15 нс. Если в момент выработки этого сигнала задатчиком на шине являлся контроллер ПДП или контроллер регенерации, то сигнал **-I/O CH CK** будет записан в регистр на материнской плате, а обработан только после того, как центральный процессор станет задатчиком на шине.

Этот сигнал, как правило, соединен со входом немаскированного прерывания ЦП и его выработка приводит к прекращению нормальной работы компьютера.

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Если сигнал **-I/O CH CK** разрешается в тот момент, когда задатчиком на шине является внешняя плата, то он записывается в регистр на материнской плате и будет обработан только после захвата шины центральным процессором.

### **RESET DRV [8] [8/16]**

Сигнал **RESET DRV** (Reset Driver - Сброс Устройства) вырабатывается центральным процессором для начальной установки всех ресурсов доступа на шине после включения питания или падения его напряжения. Минимальное время разрешения этого сигнала - 1 мс.

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Внешние платы на все время выработки этого сигнала должны перевести свои выходы в третье состояние.

### **SYSCLK [8] [8/16]**

Сигнал **SYSCLK** (System Clock - системная частота) в данной книге принимается равной 8 МГц, хотя, как правило, эта частота такая же, как и тактовая частота центрального процессора на материнской плате, но с 50% (по длительности) уровнем логической "1". Все циклы шины пропорциональны **SYSCLK**, но все сигналы на шине, за исключением **-OWS**, не синхронизированы с **SYSCLK**.

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Когда внешняя плата является задатчиком на шине, она может использовать **SYSCLK** для задания длины цикла, но кроме как для выработки **-OWS** любой сигнал для синхронизации может быть использован.

### **OSC [8] [8/16]**

Сигнал **OSC** вырабатывается материнской платой всегда фиксированной частотой 14.3818 МГц с 45-55% (по длительности) уровнем логической "1". Сигнал **OSC** не синхронизирован ни с **SYSCLK** ни с каким-либо другим сигналом на шине и поэтому не может быть использован для применений, требующих синхронизации с другими сигналами. Исторически этот сигнал появился для поддержки первых контроллеров цветных мониторов для персональных компьютеров серии IBM PC. Этот сигнал удобен для использования внешними платами, поскольку он одинаков для всех моделей компьютеров, совместимых с IBM PC/AT.

## 4.4. Сигналы прерывания

Группа сигналов прерывания используется для запроса на прерывание центрального процессора.

ПРИМЕЧАНИЕ: Обычно сигналы запроса на прерывания присоединены к контроллеру прерываний типа Intel 8259A. Несмотря на то, что доступ к контроллерам прерываний (как к УВВ) имеет любой задатчик на шине, для совместимости программного обеспечения только центральный процессор может обслуживать контроллер прерываний.

#### **IRQ<15,14,12,11,10> [8/16] IRQ<9,7...3> [8]**

Прерывание может быть запрошено ресурсами как на материнской плате, так и на внешних платах разрешением соответствующего сигнала **IRQ**. Сигнал должен оставаться разрешенным до подтверждения прерывания центральным процессором, которое, как правило, заключается в доступе ЦП к ресурсу, запросившему прерывание.

#### **ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ**

Запрос на прерывание записывается в триггер в контроллере прерываний по нарастающему фронту сигнала запроса на прерывание и должен вырабатываться микросхемами с обычными ТТЛ выходами. Поэтому, выбирая линию запроса на прерывание для своей внешней платы, следует убедиться, что эта линия не занята какой-либо другой внешней платой.

#### **4.5. Сигналы режима ПДП**

Эти сигналы поддерживают циклы пересылки данных при прямом доступе в память.

ПРИМЕЧАНИЕ: Каналы ПДП <3...0> поддерживают только пересылки 8-разрядных данных. Каналы ПДП <7...5> поддерживают пересылки только 16-разрядных данных.

#### **DRQ<7...5,0> [8] [8/16] DRQ<3,2,1> [8]**

Сигналы **DRQ** (DMA Request - запрос на ПДП) разрешаются ресурсами на материнской плате или внешними платами для запроса на обслуживание контроллером ПДП или для захвата шины. Сигнал **DRQ** должен быть разрешен до тех пор, пока контроллер ПДП не разрешит соответствующий сигнал **-DACK**.

#### **ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ**

Сигналы **DRQ** вырабатываются с выходов обычных ТТЛ микросхем, поэтому при установке внешней платы в слот шины ISA следует правильно выбрать канал ПДП, который не должен быть занят другими внешними платами.

#### **-DACK<7...5,0> [8] [8/16] -DACK<3,2,1> [8]**

Сигналы **-DACK** (DMA Acknowledge - подтверждение ПДП) разрешаются контроллером ПДП как подтверждение сигналов запросов **DRQ<7...5,3...0>**. Разрешение соответствующего сигнала **-DACK** означает, что либо циклы ПДП будут начаты, либо внешняя плата захватила шину.

#### **T/C [8] [8/16]**

Сигнал **T/C** (Terminal Count - Окончание счета) разрешается контроллером ПДП тогда, когда по какому-либо из каналов ПДП будет окончен счет числа пересылок данных, то есть все пересылки данных выполнены.

#### **4.6. Питание**

Для питания внешних плат на шине **ISA** используются 5 напряжений питания постоянного тока: +5 В, -5 В, +12 В, -12 В, 0 В (корпус - Ground). Все линии питания заведены на 8-разрядный разъем, кроме одной линии по +5 В и одной линии корпуса на дополнительном разъеме.

Максимально допустимые токи потребления для внешней платы по каждому напряжению питания приведены в табл. 4.1.

Таблица 4.1. Максимальные токи потребления внешней платой

Напряжение	[8]	[8/16]
+5 В	3,0 А	4,5 А
+12 В	1,5 А	1,5 А
-5 В	1,5 А	1,5 А
-12 В	1,5 А	1,5 А

**ВНИМАНИЕ!** Данные, приведенные в табл. 4.1, не означают, что каждая из установленных в слоты внешних плат может потреблять такие токи. Таблица информирует только о том, какие токи разрешается пропускать через разъем (разъемы) внешней платы. Общие допустимые токи потребления для всех внешних плат как правило, ограничиваются источником питания компьютера. Поэтому, до установки новой внешней платы в слот шины следует определить наличие соответствующего резерва по токам потребления для этой платы у источника питания компьютера.

## 5. Циклы шины

Циклы шины **ISA** всегда асинхронны по отношению к **SYSCLK**. Различные сигналы разрешаются и запрещаются в любое время; внутри допустимых интервалов сигналы отклика могут также быть выработаны в любое время. Исключением является только сигнал **-OWS**, который должен быть синхронизирован с **SYSCLK**.

На шине существуют 4 индивидуальных типа циклов: **Доступ к Ресурсу**, **ПДП**, **Регенерация**, **Захват Шины**. Цикл **Доступа к Ресурсу** выполняется, если центральный процессор или внешняя плата в качестве задатчиков обмениваются данными с различными ресурсами на шине. Цикл **ПДП** выполняется, если контроллер ПДП является задатчиком на шине и выполняет циклы передачи данных между памятью и УВВ. Цикл **Регенерации** выполняется только контроллером регенерации для регенерации микросхем динамической памяти. Цикл **Захвата Шины** выполняется внешней платой для того, чтобы стать задатчиком на шине.

Структурно циклы отличаются по типу задатчика на шине и видами ресурсов доступа на ней. Внутри типа цикла существуют различные виды его, обусловленные различной продолжительностью каждого вида.

Существуют три типа цикла **Доступа к Ресурсу**:

- цикл с 0 тактов ожидания - этот цикл наиболее короткий из всех возможных;
- нормальный цикл - при выполнении такого цикла ресурс доступа не запрещает сигнал готовности **I/O CH RDY** - далее цикл такого вида будет называться просто нормальным;
- удлиненный цикл - при выполнении такого цикла ресурс доступа запрещает сигнал готовности **I/O CH RDY** на время, необходимое ресурсу для приема или передачи данных - далее цикл такого вида будет называться удлиненным.

В циклах **ПДП** и **Регенерация** тоже существуют два вида: нормальный и удлиненный, исходя из таких же, описанных выше условий. Ниже все типы циклов будут подробно описаны и, кроме этого, в гл. 6 приведены временные диаграммы всех типов циклов.

### 5.1. Цикл Доступа к Ресурсу

Центральный процессор начинает цикл **Доступа к Ресурсу** выработкой сигнала **BALE**, сообщающего всем ресурсам об истинности адреса на линиях **SA<19...0>**, а также для фиксации ресурсами адреса по линиям **LA<23...17>**. Ресурсы должны сообщать ЦП разрешением сигнала **-MEM CS16** или **-I/O CS16** о том, что цикл должен быть 16- разрядным; иначе цикл будет завершен как 8-разрядный. ЦП также вырабатывает команды **-MEMR**, **-MEMW**, **-IORC** и **-IOWC** определяющие тип ресурса (память или УВВ), а также направление передачи данных. Если доступ к памяти в первом мегабайте адресного пространства, то также будет разрешаться сигнал **-SMEMR** или **-SMEMW**. Ресурс доступа, которому необходимо изменить время цикла, должен отвечать сигналом **-OWS** или **I/O CH RDY** для информирования ЦП о продолжительности цикла доступа.



## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Внешняя плата, захватившая шину, также начинает цикл доступа с выработки адресных сигналов, но, в отличие от ЦП, не подтверждает адрес сигналом **BALE**. На линии этого сигнала поддерживается материнской платой на все время захвата шины внешней платой уровень логической "1". Поэтому внешняя плата должна выработать истинные сигналы как по линиям **SA<19...0>** так и по линиям **LA<23...17>** до начала разрешения командных сигналов, сохраняя адрес до конца цикла. Внешняя плата также должна иметь возможность анализа сигналов **-MEM CS16** и **-I/O CS16** и в соответствии с этими сигналами завершать цикл как 16- или 8-разрядный.

### 5.1.1. Цикл Доступа к Ресурсу - 0 тактов ожидания

Цикл доступа с 0 тактов ожидания - наиболее короткий цикл из всех возможных на шине. Этот цикл может быть выполнен только при доступе ЦП или внешней платы (когда она задатчик на шине) к 16-разрядной памяти. В начале цикла задатчик должен установить адрес на линиях **LA<23...17>** для выбора блока памяти в 128 Кб. Если затем не будет разрешен сигнал **-MEM CS16**, то цикл будет завершен как 8-разрядный (нормальный или удлиненный) и цикл с 0 тактов ожидания не будет выполнен. Если ресурсом будет разрешен сигнал **-MEM CS16**, то затем он должен разрешить сигнал **-OWS** в соответствующее время после выдачи командного сигнала **-MEMR** или **-MEMW** для завершения цикла с 0 тактов ожидания. При запрещении сигнала **-OWS** цикл завершается как нормальный или удлиненный.

ПРИМЕЧАНИЯ: Если сигнал **-OWS** разрешается ресурсом доступа, то задатчик не требует разрешения сигнала **I/O CH RDY** - он игнорируется. Только сигнал **-OWS** является на шине **ISA** синхронным по отношению к **SYSCLK** сигналом.

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Внешняя плата, захватившая шину, выполняет цикл доступа с 0 тактов ожидания точно также как центральный процессор.

### 5.1.2. Цикл Доступа к Ресурсу - Нормальный цикл

Нормальный цикл может быть выполнен ЦП или внешней платой (если она владеет шиной) при доступе к 8- или 16-разрядному УВВ или к памяти. После выдачи на шину сигналов адреса задатчик разрешает командные сигналы **-MEMR**, **-MEMW**, **-I/OR** или **-I/OW**. В ответ ресурс должен разрешить сигнал **I/O CH RDY** в соответствующее время, так как иначе цикл будет завершен как удлиненный. Разрешение **I/O CH RDY** заставляет задатчика завершить цикл за фиксированный период времени (этот период кратен периоду **SYSCLK**, но не синхронизирован с ним). Длительность нормального цикла определяется временем разрешения сигналов **-MEMR**, **-MEMW**, **-I/OR** или **-I/OW** которое, в свою очередь, зависит от размера данных и адреса ресурса доступа.

### 5.1.3. Цикл Доступа к Ресурсу - Удлиненный цикл

Удлиненный цикл может быть выполнен ЦП или внешней платой (если она владеет шиной) при доступе к 8- или 16-разрядному УВВ или к памяти. Задатчик на шине выполняет удлиненный цикл в том случае, если ресурс, к которому осуществляется доступ, не разрешает в соответствующее время после разрешения командного сигнала сигнал **I/O CH RDY**. Задатчик продолжает разрешать командный сигнал до тех пор, пока ресурс не разрешит сигнал **I/O CH RDY**. Период времени удлиненного цикла также кратен **SYSCLK**, но не синхронизирован с ним.

## 5.2. Цикл Регенерации - Введение

Контроллер регенерации пытается захватить шину по истечении 15 мкс с последнего цикла регенерации двумя способами:

- если шиной владеет центральный процессор, то он по завершении выполнения текущей команды передает шину контроллеру регенерации;
- если шиной владеет контроллер ПДП, то шина будет передана контроллеру регенерации только по завершении циклов пересылки данных контроллером ПДП.

Назначение следующих сигналов во время цикла регенерации имеют оригинальную интерпретацию:

**-REFRESH** - разрешение этого сигнала сообщает о начале цикла регенерации;

**Адрес** - контроллер регенерации вырабатывает только сигналы по линиям адреса SA<7...0>, остальные сигналы адреса не определены;

**-MEMR** - сигнал **-MEMR** разрешается контроллером регенерации, при этом сигнал **-SMEMR** будет разрешен материнской платой;

**SD<15...0>** - линии данных игнорируются контроллером регенерации и все ресурсы на шине обязаны перевести свои выходы по линиям данных в третье состояние;

- эти сигналы игнорируются контроллером регенерации:

**-OWS**

**-MEM CS16**

**-I/O CS16**

## ОСОБЕННОСТИ ДЛЯ ВНЕШНИХ ПЛАТ

Когда внешняя плата является задатчиком на шине, она должна самостоятельно разрешать сигнал **-REFRESH** для запуска цикла регенерации памяти.

### 5.2.1. Цикл Регенерации - Нормальный цикл

Нормальный цикл регенерации контроллер регенерации начинает с разрешения сигнала **-MEMR**, в ответ ресурс должен разрешить сигнал **I/O CH RDY** в соответствующее время, так как иначе цикл будет завершен как удлиненный. Длину цикла фактически определяет только продолжительность сигнала **-MEMR**.

### 5.2.2. Цикл Регенерации - Удлиненный цикл

Удлиненный цикл контроллер регенерации выполняет в том случае, если хотя бы один ресурс доступа не разрешает сигнал **I/O CH RDY** в соответствующее время после разрешения сигнала **-MEMR**. Контроллер регенерации продолжает разрешать сигнал **-MEMR** до того, как сигнал **I/O CH RDY** будет разрешен всеми ресурсами на шине. Период времени удлиненного цикла также кратен **SYSCLK**, но не синхронизирован с ним.

### 5.3. Цикл ПДП

Цикл ПДП подобен циклу доступа, который выполняет другой владелец шины. Циклы ПДП запускаются после разрешения сигнала **-DACK** контроллером ПДП. Размер передаваемых данных зависит от используемого канала ПДП: каналы с 0 по 3 определены для 8-разрядных пересылок данных, а каналы с 5 по 7 для 16-разрядных пересылок данных. Сигналы **-MEM CS16** и **-I/O CS16** игнорируются самим контроллером ПДП, но эти сигналы использует перестановщик байтов на материнской плате.

Циклы ПДП выполняются только между памятью и устройствами ввода/вывода. Сигналы адреса, вырабатываемые контроллером ПДП, содержат только адрес памяти и не содержат адрес УВВ. Процесс пересылки данных в цикле ПДП выполняется так: источник данных выставляет данные на шине, а приемник данных должен быть готов их принять в это же самое время. Команды записи и чтения также разрешаются одновременно для правильного выбора направления пересылки. При этом сигнал чтения обязательно разрешается раньше, чем сигнал записи во избежание столкновения между буферами данных в двух ресурсах.

УВВ, запрашивающее режим ПДП на шине, разрешает сигнал **DRQ** соответствующего канала. Если задатчиком на шине является центральный процессор, то он освобождает шину контроллеру ПДП, который, в свою очередь, извещает УВВ разрешением сигнала **-DACK** о том, что начинается цикл ПДП. Так как контроллер ПДП вырабатывает только адрес памяти, УВВ должно использовать сигналы **-I/OR**, **-I/OW** и **-DACK** для приема или передачи данных в режиме ПДП.

Цикл ПДП начинается с разрешения сигнала **-DACK** соответствующего канала, а также сигнала

**AEN**. Разрешением сигнала **AEN** контроллер ПДП извещает все ресурсы на шине о том, что адреса и командные сигналы вырабатываются контроллером ПДП, а не центральным процессором, контроллером регенерации или внешней платой. После разрешения командных сигналов контроллер ПДП анализирует сигнал **I/O CH RDY** для определения длительности цикла.

Если цикл удлиняется, то период удлинения кратен удвоенному периоду **SYSCLK**, хотя и не синхронизирован с **SYSCLK**.

ПРИМЕЧАНИЕ: Данные, которые записываются в память или УВВ, должны быть истинны до разрешения команды записи и оставаться истинными до запрещения команды записи.

### 5.3.1. Цикл ПДП - Нормальный цикл

Нормальный цикл выполняется контроллером ПДП для 8- или 16-разрядных пересылок данных. Контроллер ПДП разрешает сигналы **-MEMR**, **-MEMW**, **-I/OR** и **-I/OW**, а память, с которой выполняется обмен, должна разрешить сигнал **I/O CH RDY** в соответствующее время, иначе цикл будет завершен как удлиненный. Разрешение сигнала **I/O CH RDY** заставляет контроллер завершить цикл за фиксированный период времени; этот период кратен периоду **SYSCLK**, но не синхронизирован с ним.

Продолжительность разрешения сигналов **-MEMR**, **-MEMW**, **-I/OR** и **-I/OW** определяет продолжительность всего цикла, причем эта продолжительность зависит от размера данных для различных адресных пространств.

### 5.3.2. Цикл ПДП - Удлиненный цикл

Удлиненный цикл ПДП выполняется контроллером ПДП также как и нормальный цикл, за исключением того, что при удлиненном цикле сигнал **I/O CH RDY** не разрешается в соответствующее время после того, как командный сигнал будет разрешен. Контроллер ПДП продолжает разрешать командные сигналы до тех пор, пока УВВ не разрешит сигнал **I/O CH RDY**. Период времени, на который удлиняется цикл, в этом случае кратен удвоенному периоду **SYSCLK**, хотя и не синхронен с **SYSCLK**.

ПРИМЕЧАНИЕ: Сигналы адреса **LA<23...0>** во время обычного цикла доступа должны записываться в регистр ресурсами доступа для запоминания адреса в течении всего цикла. В отличие от обычных циклов, при выполнении циклов ПДП эти адресные сигналы истинны в течении всего цикла ПДП.

ВНИМАНИЕ! Каналы ПДП, которые используются внешними платами для захвата шины, должны быть запрограммированы в каскадном режиме.

## 5.4. Цикл Захвата Шины

Любая внешняя плата, установленная в [8/16] слот, может стать задатчиком на шине ISA. Захват шины внешняя плата должна начать с разрешения сигнала **DRQ** канала ПДП, предварительно запрограммированного в каскадный режим. Канал ПДП, запрограммированный в каскадном режиме, считает, что все циклы ПДП были выполнены внешним ресурсом - в данном случае внешней платой. Контроллер ПДП отвечает внешней плате разрешением сигнала **-DACK**; внешняя плата в ответ на **-DACK** разрешает сигнал **-MASTER**. После разрешения сигнала **-MASTER** внешняя плата должна ждать некоторое время, после чего может начинать свои циклы доступа.

## 6. Временные диаграммы шины ISA

В таблицах этой главы приведены временные соотношения для всех циклов, объясненных в предыдущей главе. Все времена приведены для частоты **SYSCLK**= 8 МГц, поэтому, если проектируемая внешняя плата должна работать в компьютерах с частотой **SYSCLK** до 16 МГц, то следует ужесточить требования к быстродействию внешней платы не менее чем в два раза по сравнению с приведенными. Для ресурсов все времена измерены на разъеме ресурса доступа. Время в пределах 0...11 нс добавлено для учета времени распространения сигнала по шине. В некоторых случаях сигнал возвращается от ресурса, который был источником сигнала, синхронизированного с возвращаемым и в этом случае добавлено 0...22 нс. Время "0" означает теоретически минимально возможное время и используется только как расчетное при определении времени цикла.

ПРИМЕЧАНИЕ: В таблицах и временных диаграммах приведены только сигналы **-MEMR** и **-MEMW**, а не **-SMEMR** и **-SMEMW**. Сигналы **-SMEMR** и **-SMEMW** вырабатываются с задержкой от 0 до 10 нс относительно сигналов **-MEMR** и **-MEMW** в тех случаях, когда ЦП, контроллер ПДП или контроллер

регенерации является задатчиком на шине. Если задатчиком на шине является внешняя плата, то задержка может быть увеличена до 22 нс.

ПРИМЕЧАНИЕ: Во всех таблицах временных диаграмм TCLK обозначает период тактовой частоты шины.

Таблица 6.1. Временные соотношения для циклов с 0 тактов ожидания, нормальных и удлиненных, для 16- и 8-разрядных ресурсов памяти и УВВ.

N параметра	Наименование	Задатчик на шине (нс)		Ресурс доступа (нс)	
		Мин	Макс	Мин	Макс
1	LA<23...17> устанавливается до BALE	61		50	
2	Ширина импульса BALE	61		50	
3	LA<23...17> сохраняется после BALE	26		15	
4	LA<23...17> устанавливается до команды для 16-разрядной памяти [1]	120		109	
5	-MEM CS16 истинный от LA<23...17>		102		66
6	-MEM CS16 удерживается после LA<23...17>	0	0		
7a	SA<19...0> устанавливается до команды для 16-разрядной памяти	39		28	
b	SA<19...0> устанавливается до команды для 16- или 8-разрядного УВВ		102		91
c	-SBHE устанавливается до команды для 16-разрядной памяти	49		38	
d	-SBHE устанавливается до команды для 16- или 8-разрядного УВВ	112		101	
8a	Длительность команд записи/чтения при доступе к 16-разрядной памяти (нормальный или удлиненный цикл)	250		239	
b	Длительность команд записи/чтения при доступе к 16-разрядным УВВ (нормальный или удлиненный цикл)	187		176	
c	Длительность команд записи/чтения при доступе к 16-разрядной памяти (0 тактов ожидания цикл)	125		114	
d	Длительность команд записи/чтения при доступе к 8-разрядным ресурсам (нормальный или удлиненный цикл)	530		519	
9	SA<19...0> устанавливается до BALE	40		29	
10a	Время установления данных после сигнала чтения 16-разрядной памяти		209		187
b	Время установления данных после сигнала чтения 16-разрядного УВВ		132		110
c	Время установления данных после сигнала чтения 16-разрядной памяти для цикла с 0 тактов ожидания		132		110
d	Время установления данных после сигнала чтения 8-разрядного УВВ		489		467
11a	Время установления данных в цикле записи в 16-разрядную память	29		40	
b	Время установления данных в цикле записи в 16-разрядное УВВ	33		22	
c	Время установления данных в цикле записи в 8-разрядный ресурс	33		22	
12	SA<19...0>, -SBHE снимаются после командного сигнала	22		11	
13a	Время выключения команды при доступе к 16-разрядному ресурсу	125		114	
b	Время выключения команды при доступе к 8-разрядному ресурсу	187		176	
14	Время установления данных при	40		29	

	Время установления данных при чтении до снятия команды				
15a	Удержание данных при чтении	0		0	
b	Удержание данных при записи	30		30	
16	Перевод сигналов SD<15...0> в третье состояние после снятия команды	32		32	
17	-OWS истинный от команды	40		18	
18	-I/O CS16 истинный от SA<19...0>		126		90
19	-I/O CS16 удерживается после снятия SA<19...0>	0		0	
20a	I/O CH RDY в лог."0" от 16-разрядной команды		66		44
b	I/O CH RDY в лог."0" от 8-разрядной команды		378		356
21	I/O CH RDY длительность в лог."0" TCLK	15600	TCLK	15600	
22	Снятие командного сигнала после разрешения I/O CH RDY	TCLK		TCLK	
23	Разрешение BALE после снятия команды	50		61	
24	Период тактовой частоты (TCLK)	125	167	125	167
25	Данные устанавливаются до разрешения I/O CH RDY			63	
26	LA<23...17> удерживается после разрешения команды обращения к памяти	41		30	
27	Длительность -OWS	125		125	
28	-OWS устанавливается до спада SYSCLK			10	
29	-OWS удерживается после спада SYSCLK			20	

Примечание: (1) LA<23...17> вырабатываются так же как SA<19...0>, если задатчик на шине не центральный процессор.

Табл. 6.2. Временные соотношения для цикла регенерации памяти.

N параметра	Наименование	Контроллер регенерации (нс)		Внешняя плата (нс)	
		Мин	Макс	Мин	Макс
1	Длительность -MEMR/-SMEMR	250		239	
2	SA<19...0> устанавливается до -MEMR	125		114	
3	SA<19...0> удерживается после завершения команды	10		21	
4	I/O CH RDY в лог."0" от -MEMR/-SMEMR		81		59
5	-MEMR снимается после разрешения I/O CH RDY	125	250	125	261
6	-REFRESH устанавливается до -MEMR	250		239	
7	-REFRESH удерживается после запрещения -MEMR (1)	125	250	125	211
8	SA<19...0> и -MEMR удерживаются в третьем состоянии после запрещения -MEMR		TCLK		
9	Длительность лог."0" I/O CH RDY	TCLK		TCLK	
10	Задержка возвращения управления шиной после запрещения -REFRESH	2TCLK		2TCLK	

ПРИМЕЧАНИЕ: (1) Сигнал -REFRESH может удерживаться длительное время для выполнения нескольких циклов регенерации памяти.

Таблица 6.3. Временные соотношения для циклов ПДП

N параметра	Наименование	Внешняя плата как источник или контроллер ПДП (нс)		Внешняя плата как приемник (нс)	
		Мин	Макс	Мин	Макс
1	-DACK, AEN устанавливаются до -I/OR, -I/OW	145		134	
2	Адрес устанавливается до команды	102		91	
3a	-I/OR устанавливается до -MEMW	235		224	
b	-MEMR устанавливается до -I/OW	30		19	
4a	Данные устанавливаются от -I/OR(1)		230		241
b	Данные устанавливаются от -MEMR(1)		261	272	
5a	Данные устанавливаются до разрешения -MEMW			-21	
b	Данные устанавливаются до разрешения -I/OW			-214	
6	Команда чтения удерживается после запрещения команды записи	50		39	
7	Адрес удерживается после запрещения команд	50		39	
8	Данные удерживаются после запрещения команд(1)	50		39	
9	I/O CH RDY в лог."0" от команды обращения к памяти (1)		125		90
10	T/C устанавливается до команды	-60	60	-49	49
11	T/C удерживается после запрещения команды	-60	60	-49	49
12a	Длительность -I/OR	700		689	
b	Длительность -MEMR	450		439	
13a	Длительность -I/OW	400		389	
b	Длительность -MEMW	650	639		
14	-DACK удерживается после запрещения команды	60		49	
15	AEN удерживается после запрещения команды	60		49	
16	DRQ активный от разрешения команды		119		141

17	Длительность лог."0" I/O CH RDY	TCLK		TCLK	
----	------------------------------------	------	--	------	--

ПРИМЕЧАНИЕ: (1) Не для контроллера ПДП, а для внешней платы.

Таблица 6.4. Временные соотношения для цикла захвата шины

N параметра	Наименование	ЦП, контроллер ПДП, контроллер регенерации (нс)		Внешняя плата (нс)	
		Мин	Макс	Мин	Макс
1	DACK разрешается после разрешения DRQ (1)				
2	Задержка -MASTER от -DACK 0				
3	Контроллер ПДП переводит свои выходы в третье состояние	0	49		
4	AEN удерживается после разрешения -MASTER	0	49		
5	Внешняя плата начинает вырабатывать сигналы адреса, данных и командные сигналы			60	
6	Сигнал -MASTER удерживается после запрещения DRQ				100
7	Сигнал -DACK удерживается после запрещения DRQ (2)	0		0	
8	Внешняя плата переводит свои выходы в третье состояние до запрещения сигнала -MASTER			0	
9	ЦП начинает вырабатывать свои сигналы после запрещения сигнала -MASTER	0			
10	DRQ удерживается запрещенным после запрещения -DACK			0	

ПРИМЕЧАНИЯ: (1) Точные временные интервалы определяются контроллером ПДП. (2) Сигнал DRQ должен оставаться запрещенным, пока разрешен сигнал -DACK.

Файлы с графической иллюстрацией временных диаграмм шины ISA можно переписать [здесь](#). Названия имен файлов соответствует следующим рисункам:

Рис. 6.1. Цикл доступа к 16-разрядной памяти с 0 тактом ожидания

Рис. 6.2. Нормальный и удлинённый цикл записи/чтения 16-разрядной памяти

Рис. 6.3. Нормальный и удлинённый цикл записи/чтения 16-разрядного устройства ввода/вывода

Рис. 6.4. Нормальный и удлинённый цикл записи/чтения 8-разрядной памяти

Рис. 6.5. Нормальный и удлинённый цикл записи/чтения 8-разрядного устройства ввода/вывода

Рис. 6.6. Нормальный и удлинённый цикл регенерации: 1 - Время разрешения сигнала -REFRESH может быть увеличено для выполнения нескольких циклов регенерации; 2 - Текущий задатчик на шине должен перевести сигналы адреса и команд в третье состояние до разрешения сигнала

REFRESH.

Рис. 6.7. Нормальный и удлинённый циклы ПДП: 1 - DRQ может стать отрицательным в любое время после -DACK; 2 - I/O CH RDY запрещается для вставки дополнительных тактов ожидания. Каждый дополнительный такт ожидания состоит из двух тактов SYSCLK; 3 - Контроллер ПДП активизирует сигнал TC в течении последней пересылки данных

Рис. 6.8. Цикл захвата шины: (1) - Контроллер ПДП; (2) - Внешняя плата

## 7. Характеристики соединителей на шине

### 7.1. Назначение выводов соединителей, устанавливаемых в слоты

Назначение выводов соединителей показано сверху вниз (при установленной внешней плате сторона компонентов соответствует правой половине соединителей, а место установки крепежной планки -верху).

36-выводный [8/16] соединитель:

Сигнал	Вывод	Вывод	Сигнал
-MEM CS16	D1	C1	-SBHE
-I/O CS16	D2	C2	LA23
IRQ10	D3	C3	LA22
IRQ11	D4	C4	LA21
IRQ12	D5	C5	LA20
IRQ15	D6	C6	LA19
IRQ14	D7	C7	LA18
-DACK0	D8	C8	LA17
DRQ0	D9	C9	-MEMR
-DACK5	D10	C10	-MEMW
DRQ5	D11	C11	SD8
-DACK6	D12	C12	SD9
DRQ6	D13	C13	SD10
-DACK7	D14	C14	SD11
DRQ7	D15	C15	SD12
+ 5 В	D16	C16	SD13
-MASTER	D17	C17	SD14
Корпус (GND)	D18	C18	SD15

62-выводный [8] соединитель:

Сигнал	Вывод	Вывод	Сигнал
Корпус (GND)	B1	A1	-I/O CH CK
RESET DRV	B2	A2	SD7
+ 5 В	B3	A3	SD6
IRQ9	B4	A4	SD5
- 5 В	B5	A5	SD4
DRQ2	B6	A6	SD3
- 12 В	B7	A7	SD2
-0WS	B8	A8	SD1
+ 12 В	B9	A9	SD0
Корпус (GND)	B10	A10	I/O CH RDY
-SMEMW	B11	A11	AEN
-SMEMR	B12	A12	SA19



-I/OV	B13	A13	SA18
-I/OR	B14	A14	SA17
-DACK3	B15	A15	SA16
DRQ3	B16	A16	SA15
-DACK1	B17	A17	SA14
DRQ1	B18	A18	SA13
-REFRESH	B19	A19	SA12
SYSCLK	B20	A20	SA11
IRQ7	B21	A21	SA10
IRQ6	B22	A22	SA9
IRQ5	B23	A23	SA8
IRQ4	B24	A24	SA7
IRQ3	B25	A25	SA6
-DACK2	B26	A26	SA5
T/C	B27	A27	SA4
BALE	B28	A28	SA3
+ 5 В	B29	A29	SA2
OSC	B30	A30	SA1
Корпус (GND)	B31	A31	SA0

## 7.2. Электрические характеристики сигналов

Аббревиатуры, раскрытые ниже, будут использоваться далее при рассмотрении требований к характеристикам сигналов на шине.

ТРИ - выход с тремя состояниями. Имеет состояния: активный низкий уровень, активный высокий уровень, выключено;

ОК - открытый коллекторный выход. Имеет состояния: активный низкий уровень, выключено;

ТТЛ - выход транзисторно-транзисторной логики с двумя состояниями. Имеет состояния: активный низкий уровень, активный высокий уровень;

I<sub>ih</sub> - входной ток высокого уровня. Такой ток возникает тогда, когда ко входу подключен выход с активным высоким уровнем;

I<sub>il</sub> - входной ток низкого уровня. Такой ток возникает тогда, когда ко входу подключен выход с активным низким уровнем.

I<sub>oh</sub> - выходной ток высокого уровня. Характеризует нагрузочную способность выхода устройства в активном высоком уровне;

I<sub>ol</sub> - выходной ток низкого уровня. Характеризует нагрузочную способность выхода устройства в активном низком уровне;

V<sub>ih</sub> - входное напряжение высокого уровня;

V<sub>il</sub> - входное напряжение низкого уровня;

V<sub>oh</sub> - выходное напряжение высокого уровня;

V<sub>ol</sub> - выходное напряжение низкого уровня.

Напряжения и токи по цепям сигналов на шине.

На шине ISA могут использоваться только три типа устройств: ТТЛ (транзисторно-транзисторной логики), ТРИ (трехстабильный) и ОК (открытый коллекторный выход). Устройство ТТЛ может быть только фиксированного направления - либо вход, либо выход. Устройство с тремя состояниями может быть как входом так и выходом, и кроме этого, находится в третьем состоянии.

Таблица 7.1. Напряжения и токи на шине

	ТТЛ		ТРИ			ОК (1)
	передатчик	приемник	передатчик	приемник	ТРИ	передатчик
lil	-	-0.8	-	-0.8	-0.4	-0.4(2)
lih	-	0.04	-	0.04	0.04	0.02
lol	24	-	24	-	0.4	24
loh	-3	-3	-3	-	- 0.04	(3)

ПРИМЕЧАНИЯ:

(1)  $V_{oh}=2.4$  В  $V_{ih}=2.7$  В  $V_{ol}=0.5$  В  $V_{il}=0.4$  В

Все токи в таблице указаны в миллиамперах. Знак "-" перед значением тока означает, что ток вытекает из внешней платы в кросс материнской платы.

(2) Линия с открытым коллекторным выходом может быть подключена к ТТЛ входу.

(3) По линии с открытым коллекторным выходом ток  $I_{oh}$  (ток утечки) не должен превышать для каждого слота 0.4 миллиампера.

**7.4. Дополнительные требования к приемникам и передатчикам на внешних платах**

Разработка собственных внешних плат требует соблюдения еще ряда условий, кроме оговоренных в табл. 7.4. Это следующие условия:

- при проектировании топологии печатного монтажа на внешней плате, следует учитывать, что максимальная длина печатного проводника от контакта разъема до вывода подключенного к этой цепи компонента не должна превышать 65 мм;
- для минимизации помех на шине, уменьшения переотражений следует использовать компоненты с крутизной фронта нарастания/спада выходного напряжения не хуже 3 нс.
- максимальная емкость по каждому выводу интерфейсного разъема должна быть не более 20 пФ. В эту емкость входят входные емкости всех приемников и передатчиков, подсоединенных к выводу, и, кроме этого, емкость печатного проводника, связывающего вывод разъема с компонентами.

Таблица 7.2. Номиналы резисторов и способ подключения

Сигнал	На + 5 В	Последовательно
-I/O CH CK	4.7 кОм	-
I/O CH RDY	1.0 кОм	-
-I/O CS16	300 Ом	-
I/OR	4.7 кОм	22 Ом
I/OW	4.7 кОм	22 Ом
-MASTER	300 Ом	-
-MEM CS16	300 Ом	-
-MEMR	4.7 кОм	22 Ом
-MEMW	4.7 кОм	22 Ом
OSC	-	22 Ом
-REFRESH	300 Ом	-
-SMEMR	4.7 кОм	22 Ом
-SMEMW	4.7 кОм	22 Ом
SYSCLK	-	27 Ом
-OWS	300 Ом	-

**7.5. Нагрузочные резисторы на шине**

На кроссе материнской платы установлены нагрузочные резисторы для оптимизации электрических

характеристик шины. Нагрузочные резисторы подключаются двумя способами:

- между линией сигнала и + 5 В;
- последовательно между ресурсом на материнской плате и линией сигнала на шине.

#### **7.6. Механические характеристики внешней платы**

При разработке внешней платы следует также учитывать следующее:

- толщина платы должна быть 1.6 мм  $\pm$  0.2 мм (с учетом толщины фольги);
- коробление платы не должно превышать 1.3 мм на всей длине платы;
- максимальная высота компонентов на плате не более 10 мм.

Последние изменения от 29.03.99